

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-260093

(43) 公開日 平成11年(1999) 9月24日

(51) Int.Cl.⁶

G 1 1 C 27/02

H 0 3 H 19/00

識別記号

6 0 2

F I

G 1 1 C 27/02

H 0 3 H 19/00

6 0 2 D

審査請求 未請求 請求項の数 9 O L (全 15 頁)

(21) 出願番号

特願平10-59727

(22) 出願日

平成10年(1998) 3月11日

(71) 出願人 000004075

ヤマハ株式会社

静岡県浜松市中沢町10番1号

(72) 発明者 戸田 彰彦

静岡県浜松市中沢町10番1号 ヤマハ株式会社内

(72) 発明者 野呂 正夫

静岡県浜松市中沢町10番1号 ヤマハ株式会社内

(72) 発明者 前嶋 利夫

静岡県浜松市中沢町10番1号 ヤマハ株式会社内

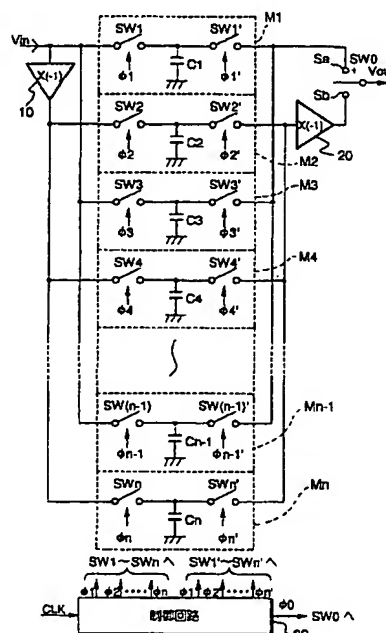
(74) 代理人 弁理士 川▲崎▼ 研二 (外1名)

(54) 【発明の名称】 アナログ信号の遅延回路

(57) 【要約】

【課題】 低周波のノイズ外乱を除去することができる遅延回路を提供する。

【解決手段】 書込時には、奇数番目のメモリセルM1, M3, …Mn-1には入力アナログ信号Vinが記憶され、偶数番目のメモリセルM2, M4, …Mnには反転された入力アナログ信号Vinが記憶される。一方、読出時には、偶数番目のメモリセルM2, M4, …Mnから読み出された信号を反転され、この信号と奇数番目のメモリセルM1, M3, …Mn-1から読み出された信号とがスイッチSW0によって合成され、出力アナログ信号Voutが生成される。この遅延回路に低周波ノイズが混入すると、コンデンサC1~Cnに記憶されている電圧値が変動するが、読出時に正転反転を交互に繰り返しながら読み出すので、ノイズ成分を分離可能な高域周波数にシフトさせることができる。



【特許請求の範囲】

【請求項1】 コンデンサに電荷を蓄積することによりアナログ信号を記憶するメモリセルを複数個備えた遅延回路であって、

入力信号を反転して反転入力信号を出力する第1の反転手段と、

前記入力信号と前記反転入力信号とを交互に選択し、前記複数のメモリセルに順次書き込む書込手段と、

前記複数のメモリセルから記憶されている前記入力信号と前記反転入力信号とを書込順序に従って順次読み出す読出手段と、

前記読出手段によって読み出された前記反転入力信号を反転する第2の反転手段と、

前記読出手段によって読み出された前記入力信号と前記第2の反転手段の出力信号とを合成して出力信号を生成する合成手段とを備えたことを特徴とするアナログ信号の遅延回路。

【請求項2】 コンデンサに電荷を蓄積することによりアナログ信号を記憶するメモリセルを複数個備えた遅延回路であって、

入力信号を複数の前記メモリセルに順次書き込む書込手段と、

正入力端子に一定の電圧が供給され、負入力端子に前記複数のメモリセルの出力側が接続されるとともに、前記負入力端子と出力端子との間にフィードバックコンデンサが接続された負帰還増幅手段と、

前記コンデンサに蓄積されている電荷を前記フィードバックコンデンサに移動させることにより、前記複数のメモリセルから記憶されている前記入力信号を書込順序に従って順次読み出す読出手段と、

前記読出手段の読出動作前に、前記フィードバックコンデンサに蓄積された電荷をクリアするリセット手段とを備えたことを特徴とするアナログ信号の遅延回路。

【請求項3】 前記読出手段の読出動作に同期して、前記負帰還増幅器の出力をサンプルホールドするサンプルホールド手段を備えたことを特徴する請求項2に記載のアナログ信号の遅延回路。

【請求項4】 コンデンサに電荷を蓄積することによりアナログ信号を記憶するメモリセルを複数個備えた遅延回路であって、

入力電圧信号を電流に変換して入力電流信号を生成する電圧電流変換手段と、

前記入力電流信号を複数の前記メモリセルに順次書き込む書込手段と、

前記複数のメモリセルから記憶されている前記入力電流信号を書込順序に従って順次読み出す読出手段と、

前記読出手段によって読み出された前記入力電流信号を電圧に変換して出力電圧信号を生成する電流電圧変換手段とを備えたことを特徴とするアナログ信号の遅延回路

【請求項5】 コンデンサに電荷を蓄積することによりアナログ信号を記憶するメモリセルを複数個備えた遅延回路であって、

入力信号を反転して反転入力信号を出力する反転手段と、

前記入力信号と前記反転入力信号とを交互に選択し、前記複数のメモリセルに順次書き込む書込手段と、

前記複数のメモリセルから記憶されている前記入力信号と前記反転入力信号とを書込順序に従って順次読み出す読出手段と、

正入力端子に一定の電圧が供給され、負入力端子に前記入力信号を書き込んだ前記メモリセルの出力側が接続されるとともに、前記負入力端子と出力端子との間にフィードバックコンデンサが接続された第1の負帰還増幅手段と、

正入力端子に一定の電圧が供給され、負入力端子に前記反転入力信号を書き込んだ前記メモリセルの出力側が接続されるとともに、前記負入力端子と出力端子との間にフィードバックコンデンサが接続された第2の負帰還増幅手段と、

前記コンデンサに蓄積されている電荷を前記フィードバックコンデンサに移動させることにより、前記複数のメモリセルから記憶されている前記入力信号と前記反転入力信号とを書込順序に従って順次読み出す読出手段と、前記読出手段によって記憶された前記入力信号が読み出される前に、前記第1の負帰還増幅手段のフィードバックコンデンサに蓄積された電荷をクリアする第1のリセット手段と、

前記読出手段によって記憶された前記反転入力信号が読み出される前に、前記第2の負帰還増幅手段のフィードバックコンデンサに蓄積された電荷をクリアする第2のリセット手段と、

前記第2の負帰還増幅手段の出力信号を反転し、この信号と前記第1の負帰還増幅手段の出力信号とを合成して出力信号を生成する合成手段とを備えたことを特徴とするアナログ信号の遅延回路。

【請求項6】 コンデンサに電荷を蓄積することによりアナログ信号を記憶するメモリセルを複数個備えた遅延回路であって、

入力電圧信号を電流に変換して入力電流信号を生成する第1の電圧電流変換手段と、

反転された前記入力電圧信号を電流に変換して反転入力電流信号を生成する第2の電圧電流変換手段と、

前記入力電流信号と前記反転入力電流信号とを交互に選択し、前記複数のメモリセルに順次書き込む書込手段と、

前記複数のメモリセルから記憶されている前記入力電流信号と前記反転入力電流信号とを書込順序に従って順次読み出す読出手段と、

前記読出手段によって読み出された前記入力電流信号と

前記反転入力電流信号とに基づいて、出力電圧信号を生成する出力電圧信号生成手段とを備えることを特徴とするアナログ信号の遅延回路。

【請求項7】 前記出力電圧信号生成手段は、前記読出手段によって読み出された前記入力電流信号に電流電圧を施す第1の電流電圧変換手段と、前記読出手段によって読み出された前記反転入力電流信号に電流電圧を施す第2の電流電圧変換手段と、前記第1の電流電圧変換手段の出力信号と前記第2の電流電圧変換手段の出力信号とを合成して前記出力電圧信号を生成する合成手段とを備えたことを特徴とする請求項6に記載のアナログ信号の遅延回路。

【請求項8】 前記メモリセルは、入力端子と一端が接続される第1のスイッチ手段と、前記第1のスイッチ手段の他端とグランドの間に設けられた前記コンデンサと、前記第1のスイッチ手段の他端と出力端子との間に設けられた第2のスイッチ手段とを備えたことを特徴とする請求項1、2、3、または5のうちいずれか1項に記載のアナログ信号の遅延回路。

【請求項9】 前記メモリセルは、入力端子と一端が接続される第1のスイッチ手段と、出力端子と前記第1のスイッチの他端との間に設けられた第2のスイッチ手段と、前記第1のスイッチ手段の他端と前記コンデンサの一端との間に設けられた第3のスイッチ手段と、ゲートが前記コンデンサの一端と接続されるとともに前記コンデンサの他端と前記第1のスイッチ手段の他端との間にソースとドレインとが接続された電界効果トランジスタとを備えたことを特徴とする請求項4、6または7のうちいずれか1項に記載のアナログ信号の遅延回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、アナログ信号の遅延に用いられ集積回路に内蔵するのに好適な遅延回路に関する。

【0002】

【従来の技術】 高密度集積回路（以下、LSIと略す）の内部に設けられる遅延回路においては、スイッチとコンデンサで構成される複数のメモリセルを並列接続し、アナログ信号の電圧を各メモリセルに順次蓄積していき、所定時間が経過した後に蓄積されたアナログ信号を読み出すことにより、アナログ信号を遅延をするものがある。

【0003】 図13は、従来の遅延回路の回路図である。図において、M1～Mnは並列に接続されたn個のメモリセルであり、そこにはアナログ信号の電圧が記憶されるようになっている。メモリセルM1は、入力スイッチSW1、コンデンサC1および出力スイッチSW1'から構成されており、また、他のメモリセルM2～MnもメモリセルM1と同様に構成されている。メモリセルM1～Mnの出力側には、オペアンプOPで構成さ

れるボルテージフォロアが設けられている。なお、CpはメモリセルM1～Mnの出力側に生じる寄生容量である。

【0004】 以上の構成において、入力アナログ信号Vinを書き込む際には、入力スイッチSW1～SWnをSW1→SW2→…SWn→SW1…といったように順次オン状態にすることによって、入力アナログ信号Vinをサンプリング周期毎にサンプルホールドして、その電圧をコンデンサC1～Cnに記憶していく。次に、記憶された入力アナログ信号Vinを読み出す際には、出力スイッチSW1'～SWn'をSW1'→SW2'→…SWn'→SW1'…といったように順次オン状態にすることによって、記憶された入力アナログ信号Vinを順次読み出していく。

【0005】 この場合には、メモリセルM1～Mn-1に入力アナログ信号Vinを書き込んでいき、次のサンプリングタイミングで入力アナログ信号VinをメモリセルMnに書き込むのと同時に、メモリセルM1から遅延された入力アナログ信号Vinが読み出され、オペアンプOPから出力アナログ信号Voutとして出力される。すなわち、メモリセルM1～Mnは、リング状に書き込動作と読出動作を繰り返すようになっている。ここで、サンプリング期間（各スイッチがオン状態となる期間）をTsとすれば、遅延時間Tdは、 $Td = (n - 1) * Ts$ で与えられる。

【0006】

【発明が解決しようとする課題】 ところで、LSIの内部で上述した遅延回路を構成しようとすると、コンデンサC1～Cnの値は数PFとなるので、低周波領域においても、それらのインピーダンスは高い。このため、低周波の外乱ノイズ（例えば、商用交流電源の周波数に同期したハム）を遅延回路が受けた場合には、コンデンサC1～Cnの電圧値が変動してしまう。したがって、メモリセルM1～Mnから読み出された入力アナログ信号Vinに低周波の外乱ノイズが重畳してしまう。仮にノイズ成分が信号成分の帯域よりも高周波領域に存在するのであれば、ローパスフィルタによって出力アナログ信号Voutからノイズ成分を除去することができ、ハムのように低周波の外乱ノイズは、その周波数が信号帯域内にあるので、出力アナログ信号Voutからノイズ成分を除去することが困難である。したがって、LSIの内部に上述した形式の遅延回路を構成してもSN比が劣化してしまうといった問題がある。

【0007】 また、上述した遅延回路では、寄生容量Cpの影響を受けて、メモリセルM1～MnのコンデンサC1～Cnに記憶された電圧を正確に読み出すことができないといった問題がある。例えば、スイッチSW1をオン状態にしてメモリセルM1のコンデンサC1から電圧を読み出した後、スイッチSW1をオフ状態にしたと

る。

【0011】また、請求項4に記載の発明にあつては、コンデンサに電荷を蓄積することによりアナログ信号を記憶するメモリセルを複数個備えた遅延回路であつて、入力電圧信号を電流に変換して入力電流信号を生成する電圧電流変換手段と、前記入力電流信号を複数の前記メモリセルに順次書き込む書込手段と、前記複数のメモリセルから記憶されている前記入力電流信号を書込順序に従つて順次読み出す読出手段と、前記読出手段によつて読み出された前記入力電流信号を電圧に変換して出力電圧信号を生成する電流電圧変換手段とを備えたことを特徴とする。

【0012】また、請求項5に記載の発明にあっては、コンデンサに電荷を蓄積することによりアナログ信号を記憶するメモリセルを複数個備えた遅延回路であって、入力信号を反転して反転入力信号を出力する反転手段と、前記入力信号と前記反転入力信号とを交互に選択し、前記複数のメモリセルに順次書き込む書込手段と、前記複数のメモリセルから記憶されている前記入力信号

と前記反転入力信号とを書込順序に従って順次読み出す読出手段と、正入力端子に一定の電圧が供給され、負入力端子に前記入力信号を書き込んだ前記メモリセルの出力側が接続されるとともに、前記負入力端子と出力端子との間にフィードバックコンデンサが接続された第1の負帰還増幅手段と、正入力端子に一定の電圧が供給され、負入力端子に前記反転入力信号を書き込んだ前記メモリセルの出力側が接続されるとともに、前記負入力端子と出力端子との間にフィードバックコンデンサが接続された第2の負帰還増幅手段と、前記コンデンサに蓄積されている電荷を前記フィードバックコンデンサに移動させることにより、前記複数のメモリセルから記憶されている前記入力信号と前記反転入力信号とを書込順序に従って順次読み出す読出手段と、前記読出手段によって記憶された前記入力信号が読み出される前に、前記第1の負帰還増幅手段のフィードバックコンデンサに蓄積された電荷をクリアする第1のリセット手段と、前記読出手段によって記憶された前記反転入力信号が読み出される前に、前記第2の負帰還増幅手段のフィードバックコンデンサに蓄積された電荷をクリアする第2のリセット手段と、前記第2の負帰還増幅手段の出力信号を反転し、この信号と前記第1の負帰還増幅手段の出力信号とを合成して出力信号を生成する合成手段とを備えたことを特徴とする。

【0013】また、請求項6に記載の発明にあっては、コンデンサに電荷を蓄積することによりアナログ信号を記憶するメモリセルを複数個備えた遅延回路であって、入力電圧信号を電流に変換して入力電流信号を生成する第1の電圧電流変換手段と、反転された前記入力電圧信号を電流に変換して反転入力電流信号を生成する第2の

[illegible]

【0010】また、請求項2に記載の発明においては、コンデンサに電荷を蓄積することによりアナログ信号を記憶するメモリセルを複数個備えた遅延回路であって、入力信号を複数の前記メモリセルに順次書き込む書込手段と、正入力端子に一定の電圧が供給され、負入力端子に前記複数のメモリセルの出力側が接続されるとともに、前記負入力端子と出力端子との間にフィードバックコンデンサが接続された負帰還増幅手段と、前記コンデンサに蓄積されている電荷を前記フィードバックコンデンサに移動させることにより、前記複数のメモリセルから記憶されている前記入力信号を書込順序に従って順次読み出す読出手段と、前記読出手段の読出動作前に、前記フィードバックコンデンサに蓄積された電荷をクリアするリセット手段とを備えたことを特徴とする。また、請求項3に記載の発明においては、前記読出手段の読出動作に同期して、前記負帰還増幅器の出力をサンプルホ

電流信号とを交互に選択し、前記複数のメモリセルに順次書き込む書込手段と、前記複数のメモリセルから記憶されている前記入力電流信号と前記反転入力電流信号とを書込順序に従って順次読み出す読出手段と、前記読出手段によって読み出された前記入力電流信号と前記反転入力電流信号とに基づいて、出力電圧信号を生成する出力電圧信号生成手段とを備えることを特徴とする。

【0014】また、請求項7に記載の発明にあっては、前記出力電圧信号生成手段は、前記読出手段によって読み出された前記入力電流信号に電流電圧を施す第1の電流電圧変換手段と、前記読出手段によって読み出された前記反転入力電流信号に電流電圧を施す第2の電流電圧変換手段と、前記第1の電流電圧変換手段の出力信号と前記第2の電流電圧変換手段の出力信号とを合成して前記出力電圧信号を生成する合成手段とを備えたことを特徴とする。

【0015】また、請求項8に記載の発明にあっては、前記メモリセルは、入力端子と一端が接続される第1のスイッチ手段と、前記第1のスイッチ手段の他端とグラウンドの間に設けられた前記コンデンサと、前記第1のスイッチ手段の他端と出力端子との間に設けられた第2のスイッチ手段とを備えたことを特徴とする。

【0016】また、請求項9に記載の発明にあっては、前記メモリセルは、入力端子と一端が接続される第1のスイッチ手段と、出力端子と前記第1のスイッチの他端との間に設けられた第2のスイッチ手段と、前記第1のスイッチ手段の他端と前記コンデンサの一端との間に設けられた第3のスイッチ手段と、ゲートが前記コンデンサの一端と接続されるときにも前記コンデンサの他端と前記第1のスイッチ手段の他端との間にソースとドレインとが接続された電界効果トランジスタとを備えたことを特徴とする。

【0017】

【発明の実施の形態】 A. 第1実施形態

以下、図面を参照しつつ、本発明の一実施形態に係わる遅延回路について説明する。

1. 第1実施形態の構成

図1は、本発明の第1実施形態に係わる遅延回路の回路図である。図において、M1～Mnはメモリセルであり、各メモリセルM1～Mnは、一端が接地されたコンデンサC1～Cn、コンデンサC1～Cnの他端と入力側との間に設けられた入力スイッチSW1～SWn、コンデンサC1～Cnの他端と出力側との間に設けられた出力スイッチSW1'～SWn'から各々構成されている。ここで、入力スイッチSW1～SWnは、制御信号 $\phi 1 \sim \phi n$ がハイレベルのときオン状態となり、ローレベルのときオフ状態となるように構成されており、また、出力スイッチSW1'～SWn'も同様に制御信号 $\phi 1' \sim \phi n'$ がハイレベルのときオン状態となり、ローレベルのときオフ状態となるように構成されている。

【0018】次に、10は、ゲイン1の反転回路であって、その出力インピーダンスはローインピーダンスに設定されている。反転回路10の入力側には入力アナログ信号Vinが供給され、また、その出力側にはメモリセルM2, M4, …Mnが接続されている。したがって、偶数番目のメモリセルM2, M4, …Mnには、反転された入力アナログ信号Vinが供給され、入力スイッチSW2, SW4, …SWnの動作に従ってその電圧がコンデンサC2, C4, …Cnに各々蓄積されることになる。一方、奇数番目のメモリセルM1, M3, …Mn-1には、図示せぬバッファ回路から入力アナログ信号Vinがローインピーダンスで供給される。したがって、奇数番目のメモリセルM1, M3, …Mn-1には、入力スイッチSW1, SW3, …SWn-1の動作に従って、入力アナログ信号Vinの電圧がコンデンサC1, C3, …Cn-1に各々蓄積されることになる。

【0019】次に、20は、偶数番目のメモリセルM2, M4, …Mnの出力側に設けられたゲイン1の反転回路である。上述したように、メモリセルM2, M4, …Mnには反転された入力アナログ信号Vinが書き込まれるが、この反転回路20によって再度反転されて読み出されるので、反転回路20の出力信号の極性は、入力アナログ信号Vinの極性と一致する。次に、SW0はスイッチであって、制御信号 $\phi 0$ がハイレベルのとき端子Saと導通し、ローレベルのとき端子Sbと導通するように構成されている。このスイッチSW0によって、奇数番目のメモリセルM1, M3, …Mn-1からの出力信号と偶数番目のメモリセルM2, M4, …Mnからの出力信号とが交互に選択される。これにより、両信号が合成され、入力アナログ信号Vinを遅延した出力アナログ信号Voutが生成される。次に、30はシフトレジスタ等によって構成される制御回路である。制御回路30は、クロック信号CLKに基づいて各スイッチSW1～SWn, SW1'～SWn', SW0を制御する。制御信号 $\phi 1 \sim \phi n, \phi 1' \sim \phi n', \phi 0$ を生成するように構成されている。なお、クロック信号CLKの周波数は入力アナログ信号Vinの信号帯域周波数よりも2倍以上高く設定されている。また、この遅延回路の後段には、クロック成分を充分除去できるローパスフィルタ（図示せず）が設けられている。このローパスフィルタは、入力アナログ信号Vinの周波数帯域で平坦な周波数特性を示し、かつ、サンプリング周波数付近において、充分な減衰特性を有するものである。

【0020】以上の構成によって、入力アナログ信号Vinを書き込む際には、SW1→SW2→…SWn→SW1…といったように各入力スイッチが順次オン状態になるように制御され、入力アナログ信号Vinがクロック信号CLKに同期してサンプルホールドされていく。次に、入力アナログ信号Vinを読み出す際には、SW1'→SW2'→…SWn'→SW1'…といったように各出力スイッチが順次オン状態になるように制御され、出力アナログ信号Voutが生成される。

出力スイッチが順次オン状態になるように制御され、入力アナログ信号 V_{in} がクロック信号 CLK に同期して読み出されていく。これにより、出力アナログ信号 V_{out} が生成されると、ローパスフィルタによってクロック成分が除去されるようになっている。

【0021】したがって、入力アナログ信号 V_{in} がサンプリング周期毎に正転反転を交互に繰り返しながらメモリセル $M1 \sim Mn$ に書き込まれると共に、反転して書き込まれた入力アナログ信号 V_{in} は読み出し時に再度反転されて読み出される。このような遅延回路において、低周波の外乱ノイズが作用すると、コンデンサ $C1 \sim Cn$ に記憶されている電圧が変動する。しかしながら、各メモリセル $M1 \sim Mn$ から記憶された電圧を読み出す際には、サンプリング周期毎に正転反転を交互に繰り返しながら読み出すので、出力アナログ信号 V_{out} に重畳する外乱ノイズはサンプリング周波数で変調されたものとなる。このため、信号帯域内にある外乱ノイズをサンプリング周波数付近に周波数シフトすることができるので、上述したローパスフィルタによって、外乱ノイズを除去することができる。

【0022】1. 第1実施形態の動作

次に、第1実施形態に係わる遅延回路の動作を説明する。図2は第1実施形態に係わる遅延回路の動作を示すタイミングチャートである。時刻 t_0 より図2(a)に示す入力アナログ信号 V_{in} が、遅延回路に供給されたとすると、入力スイッチ $SW1$ には図2(b)に示す制御信号 ϕ_1 が供給される。上述したようにスイッチ $SW1$ は制御信号 ϕ_1 がハイレベルになるとオン状態になるから、メモリセル $M1$ には、時刻 $t_0 \sim t_1$ の間における入力アナログ信号 V_{in} が取り込まれる。また、制御信号 $\phi_2 \sim \phi_n$ は、図2(b)～(e)に示すように、サンプリング周期毎に制御信号 ϕ_1 をシフトさせたものとなっている。したがって、 $M1 \rightarrow M2 \rightarrow \dots Mn$ の順に書きが行われる。ただし、偶数番目のメモリセル $M2, M4, \dots Mn$ については、反転された入力アナログ信号 V_{in} が書き込まれる。

【0023】ここで、遅延時間を7サンプリング周期に設定すると、制御信号 ϕ_1' は図2(f)に示すものとなり、時刻 $t_7 \sim t_8$ において、出力スイッチ $SW1'$ がオン状態となり、メモリセル $M1$ のコンデンサ $C1$ に蓄積されている電圧が読み出されるようになっている。また、制御信号 $\phi_2' \sim \phi_n'$ は、図2(g)～(i)に示すように、サンプリング周期毎に制御信号 ϕ_1' をシフトさせたものとなっている。したがって、 $M1 \rightarrow M2 \rightarrow \dots Mn$ の順に読出が行われる。

【0024】こうして各メモリセル $M1 \sim Mn$ から信号が読み出されると、奇数番目のメモリセルから読み出された信号はスイッチ $SW0$ の端子 Sa に供給され、偶数番目のメモリセルから読み出された信号は反転回路20

御信号 ϕ_0 がハイレベルのとき端子 Sa を選択し、制御信号 ϕ_0 がローレベルのとき端子 SWb を選択するので、図2(j)に示す制御信号 ϕ_0 によってスイッチ $SW0$ が制御されると、図2(k)に示す出力アナログ信号 V_{out} が得られる。例えば、時刻 $t_7 \sim t_8$ の期間にあっては、時刻 t_0 から時刻 t_1 における入力アナログ信号 V_{in} の最終値(時刻 t_1 における値)が出力される。

【0025】さてここで、この例における低周波ノイズの除去動作を図3、4に示すタイミングチャートを用いて説明する。なお、同図に示す波形は、説明を分かり易くするためコンデンサのホールド効果を省略して記載してある。いま、図3(a)に示す入力アナログ信号 V_{in} が当該遅延回路に供給されたとすると、各メモリセル $M1 \sim M8$ に記憶される信号は、同図(b)に示すようにサンプリング周期毎に反転したものとなる。

【0026】上述したように LSI に内蔵されるコンデンサ $C1 \sim Cn$ の値は数 pF であるから、低周波数領域でも各コンデンサ $C1 \sim Cn$ のインピーダンスは高いので、ハム等の低周波ノイズによってコンデンサ $C1 \sim Cn$ のホールド電圧が変動してしまう。例えば、図3

(c)に示すノイズ電圧が、コンデンサ $C1 \sim C8$ に重畳したとすると、メモリセル $M1 \sim M8$ に記憶される信号は、図4(a)に示すものとなる。

【0027】したがって、出力アナログ信号 V_{out} は、図4(b)に示す実線となる。この場合、ノイズ成分は、点線で示す入力アナログ信号 V_{in} と実線で示す出力アナログ信号 V_{out} の差分となるので、出力アナログ信号 V_{out} に重畳しているノイズ信号は図4

(c)に示すものとなる。ここで、図3(c)に示すノイズ信号と図4(c)に示すノイズ信号を比較すると、図4(c)に示すものは、サンプリング周波数で変調されていることがわかる。すなわち、この遅延回路によれば、低域周波数のノイズ成分をサンプリング周波数付近の高域周波数に周波数変換することができる。例えば、サンプリング周波数を f_s 、ノイズ信号の周波数を f_n とすれば、周波数変換されたノイズ信号の周波数は、 $f_s - f_n$ 、 $f_s + f_n$ となる。

【0028】ところで、遅延回路の後段には、上述したように、サンプリング周波数成分を除去するためのローパスフィルタが設けられているので、サンプリング周波数付近に周波数変換されたノイズ信号は、このローパスフィルタによって除去される。したがって、出力アナログ信号 V_{out} に重畳するノイズ信号は、除去可能である。

【0029】以上、説明したように本実施形態によれば、メモリセル入力アナログ信号 V_{in} をメモリセル $M1 \sim Mn$ に書き込む際に交互に反転して書き込み、これを読み出す際に再び交互に反転して読み出すようにしたので、メモリセル $M1 \sim Mn$ に入力アナログ信号 V_{in}

を記憶している期間中に低周波ノイズが混入したとしても、この低周波ノイズをサンプリング周波数付近に周波数変換することができるので、従来、分離することができなかった低周波ノイズを出力アナログ信号Voutから除去して、SN比を向上させることができる。

【0030】B. 第2実施形態

以下、図面を参照しつつ、本発明の他の実施形態に係わる遅延回路について説明する。

1. 第2実施形態の構成

図5は、本発明の第2実施形態に係わる遅延回路の回路図である。図において、メモリセルM1～Mnの内部構成は、第1実施形態と同様である。また、この例にあっては、各メモリセルM1～Mnが並列接続されており、各メモリセルM1～Mnの入力側は入力ラインLinに接続されており、その出力側は出力ラインLoutに接続されている。また、出力ラインLoutとグランドの間には電圧依存性がある寄生容量Cpが存在している。

【0031】このオペアンプ40の負入力端子と出力端子との間には、コンデンサCsとスイッチSW0が設けられており、また、その正入力端子は接地されている。オペアンプ40としては、入力インピーダンスが高く、かつゲインが充分大きいものを用いる。このため、オペアンプ40の負入力端子と正入力端子との間はイマジナリショートされる。したがって、その正入力端子の電圧は、常に一定の電圧、この例では、グランドレベルとなる。

【0032】メモリセルM1に記憶された電圧を読み出す場合には、入力スイッチSW1とスイッチSW0とをオフ状態にし、この状態で出力スイッチSW1'をオン状態にする。出力ラインLoutは仮想接地されているから、上述したように各スイッチを動作させると、コンデンサC1に蓄積された電荷はコンデンサCsに移動する。ここで、コンデンサCsの値はコンデンサC1～Cnの値と等しくなるように設定されている。このため、ノードAの電圧は、コンデンサC1に記憶されていた電圧と一致する。したがって、寄生容量Cpの影響を受けることなく、各メモリセルM1～Mnに記憶された電圧を読み出すことができる。

【0033】この場合、次のメモリセルに記憶された電圧を読み出す際に、前のメモリセルから読み出した電荷がコンデンサCsに蓄積されていると、次のメモリセルに記憶された電圧と前のメモリセルに記憶された電圧がコンデンサCsで加算されてしまう。したがって、各メモリセルM1～Mnからの読出毎にコンデンサCsに蓄積されている電荷をクリアする必要がある。スイッチSW0はこのために設けられた構成であり、次のメモリセルから電圧を読み出す前にオン状態となり、コンデンサCsに蓄積された電荷をクリアするように構成されている。

セルM1～Mnから電圧を読み出す毎にクリアされるので、ノードAの電圧はスイッチSW0の動作と同期してチョップ状に変化する。このため、この例にあっては、サンプルホールド回路によって、ノードAの電圧を連続したものに変換して、出力アナログ信号Voutを生成している。具体的には、ボルテージフォロアを構成するオペアンプ50とオペアンプ60、スイッチSW0'およびコンデンサChによってサンプルホールド回路が構成される。

【0035】次に、30はシフトレジスタ等によって構成される制御回路であって、クロック信号CLKに基づいて各スイッチSW1～SWn, SW1'～SWn', SW0, SW0'を制御する制御信号φ1～φn, φ1'～φn', φ0, φ0'を生成するように構成されている。また、この遅延回路の後段には、第1実施形態と同様にクロック成分を充分除去できるローパスフィルタ（図示せず）が設けられている。このローパスフィルタは、入力アナログ信号Vinの周波数帯域で平坦な周波数特性を示し、かつ、サンプリング周波数付近において、充分な減衰特性を有するものである。

【0036】2. 第2実施形態の動作

次に、本発明の第2実施形態に係わる遅延回路の動作を説明する。図6は第2実施形態に係わる遅延回路の動作を示すタイミングチャートである。図6(a)に示す入力アナログ信号Vinが遅延回路に供給され、図6

(b)～(d)に示す制御信号φ1～φnによって入力スイッチSW1～SWnが制御されたとすると、時刻t1における入力アナログ信号VinがメモリセルM1に、時刻t2における入力アナログ信号VinがメモリセルM2、といったように各タイミングの電圧が順次記憶されていく。

【0037】この後、図6(e)～(f)に示す制御信号φ1'～φn'がスイッチSW1'～SWn'に供給されると、各メモリセルM1～Mnから記憶された電圧が順次読み出され、ノードAの電圧は図6(i)に示すようにチョップ状の波形となる。このノードAの電圧を図6(j)に示す制御信号φ0'に基づいてサンプルホールドすると、図6(k)に示す出力アナログ信号Voutが得られる。

【0038】ここで、読み出し時の詳細なタイミングチャートを図7に示す。図7(a)は、制御信号φ0であり、これがローレベルの期間はスイッチSW0がオン状態となり、一方、ハイレベルの期間はスイッチSW0がオフ状態となる。この例では、まず、時刻t0から時刻t1の期間において、スイッチSW0がオン状態となるので、コンデンサCsの電荷はクリアされる。なお、スイッチSW0がオン状態となる時間は、コンデンサCsの値とスイッチSW0のオン抵抗で定まる時定数を考慮して、そこに蓄積される電荷が充分クリアされるように設定されている。したがって、時刻t1において

コンデンサ C_s の電荷は充分クリアされ、メモリセルからの読み出し準備が整う。

【0039】この後、第 k 番目のメモリセル M_k から電圧を読み出すべく、出力スイッチ SW_k に図7(b)に示す制御信号 ϕ_k' が与えられる。この制御信号 ϕ_k' は、制御信号 ϕ_0 がローレベルからハイレベルに変化してスイッチ SW_0 がオフ状態になった後、時刻 t_2 においてローレベルからハイレベルに変化する。すると、第 k 番目のメモリセル M_k のコンデンサ C_k と出力ライン L_{out} が接続されるので、コンデンサ C_k に蓄積されている電荷がコンデンサ C_s に移動する。ここで、オペアンプ40の負入力端子は仮想接地しているの、寄生容量 C_p には電荷が移動せず、全ての電荷をコンデンサ C_s に移動させることができる。このため、寄生容量 C_p の影響を受けることなくメモリセルに記憶された電圧を正確に読み出すことができる。

【0040】こうして、コンデンサ C_s に電荷が移動すると、時刻 t_4 において制御信号 ϕ_k' はハイレベルからローレベルに変化して、出力スイッチ SW_k' はオフ状態となる。また、時刻 t_4 において、制御信号 ϕ_0' がローレベルからハイレベルに変化してスイッチ SW_0' がオン状態となり、ノードAの電圧がコンデンサ C_h にホールドされる。この後、時刻 t_5 において、制御信号 ϕ_0' がハイレベルからローレベルに変化すると、スイッチ SW_0' はオフ状態となり、次にスイッチ SW_0' がオン状態となるまでコンデンサ C_h の電圧が保持される。

【0041】この後、時刻 t_6 において、制御信号 ϕ_0 がハイレベルからローレベルに変化すると、スイッチ SW_0 が再びオン状態となってコンデンサ C_s に蓄積されている電荷がクリアされる。そして、時刻 t_7 においてスイッチ SW_0 がオフ状態となり読出準備が整うと、時刻 t_8 において、図7(d)に示す制御信号 ϕ_{k+1}' がローレベルからハイレベルに変化し、第 $k+1$ 番目のメモリセル M_{k+1} から、記憶されている電圧が読み出される。以下、同様の動作を繰り返し、各メモリセル $M_1 \sim M_n$ からそこに記憶されている電圧が順次読み出される。

【0042】以上、説明したように本実施形態によれば、メモリセル $M_1 \sim M_n$ の出力側に仮想接地されたオペアンプ40を設け、各サンプリング周期毎にコンデンサ C_s に蓄積された電荷をクリアするようにしたので、寄生容量 C_p の影響を受けることなく各メモリセル $M_1 \sim M_n$ に蓄積されている電圧を正確に読み出すことができる。特に、メモリセルを数百段～数千段も並列接続するような場合にあっては寄生容量 C_p の値が増加するので、出力アナログ信号 V_{out} の品質を大幅に改善することができる。

【0043】C. 第3実施形態

ナログ信号 V_{in} を各メモリセル $M_1 \sim M_n$ に電圧モードで記憶したが、これに対して第3実施形態の遅延回路は電流モードで入力アナログ信号 V_{in} を記憶するものである。以下、図面を参照しつつ、第3実施形態に係わる遅延回路について説明する。

【0044】1. 第3実施形態の構成

図8は、本発明の第3実施形態に係わる遅延回路の回路図である。図において、電圧電流変換部70は、カレントミラー回路等からなる周知の電圧電流変換を行う構成であって、入力アナログ信号 V_{in} の電圧に応じた入力電流 I_i を出力するようになっている。

【0045】次に、メモリセル $M_1' \sim M_n'$ は、上述した第1、第2実施形態で説明したメモリセル $M_1 \sim M_n$ に相当する構成である。ただし、メモリセル $M_1' \sim M_n'$ は電流値を記憶する点で、電圧値を記憶するメモリセル $M_1 \sim M_n$ と相違する。メモリセル $M_1' \sim M_n'$ は、入力ライン L_{in} と一端が接続された入力スイッチ $SW_1 \sim SW_n$ 、入力スイッチ $SW_1 \sim SW_n$ の他端と一端が接続されたスイッチ $SW_1' \sim SW_n'$ 、スイッチ $SW_1' \sim SW_n'$ の他端とグランドとの間に設けられたコンデンサ $C_1 \sim C_n$ 、ソースが入力スイッチ $SW_1 \sim SW_n$ の他端と接続され、ゲートがコンデンサ $C_1 \sim C_n$ と接続され、ドレインが接地されたNチャンネルFET $NI \sim Nn$ から構成されている。この入力スイッチ $SW_1 \sim SW_n$ 、出力スイッチ $SW_1' \sim SW_n'$ およびスイッチ $SW_1' \sim SW_n'$ は、制御信号 $\phi_1 \sim \phi_n$ 、 $\phi_1' \sim \phi_n'$ 、 $\phi_1'' \sim \phi_n''$ がハイレベルのときオン状態となり、ローレベルのときオフ状態となるように構成されている。

【0046】例えば、メモリセル M_1' に入力電流 I_i を書き込むときには、入力スイッチ SW_1 とスイッチ SW_1'' とをオン状態に、スイッチ SW_1' をオフ状態にする。すると、入力電流 I_i がNチャンネルFET NI を介してグランドに流れる。この場合、コンデンサ C_1 の電圧値(ゲート電圧値)は、NチャンネルFET NI が入力電流 I_i を流せるだけの値となる。そして、書込期間が終了すると、入力スイッチ SW_1 とスイッチ SW_1'' とはオフ状態になる。また、NチャンネルFET NI のゲートの入力インピーダンスは極めて高いので、コンデンサ C_1 には書込期間終了時の電圧が保持される。すなわち、入力電流 I_i に応じた電圧がコンデンサ C_1 に記憶される。

【0047】一方、メモリセル M_1' から電流を読み出すときには、入力スイッチ SW_1 とスイッチ SW_1'' をオフ状態にすると共に、出力スイッチ SW_1' をオン状態にする。すると、NチャンネルFET NI は、コンデンサ C_1 の電圧(ゲート電圧)に応じた出力電流 I_o を出力ライン L_{out} から吸い込む。この場合、出力電流 I_o は寄生容量 C_p の影響を受けて変動することはないの

することができる。

【0048】次に80は電流電圧変換部であって、オペアンプおよび抵抗から構成される。この電流電圧変換部80によって、出力電流 I_o が電圧に変換され、当該電圧が出力アナログ信号 V_{out} として出力される。

【0049】次に、30はシフトレジスタ等によって構成される制御回路であって、クロック信号 CLK に基づいて各スイッチ $SW1 \sim SWn$, $SW1' \sim SWn'$, $SW1'' \sim SWn''$ を制御する制御信号 $\phi 1 \sim \phi n$, $\phi 1' \sim \phi n'$, $\phi 1'' \sim \phi n''$ を生成するように構成されている。また、この遅延回路の後段には、第1実施形態と同様にクロック成分を充分除去できるローパスフィルタ(図示せず)が設けられている。このローパスフィルタは、入力アナログ信号 V_{in} の周波数帯域で平坦な周波数特性を示し、かつ、サンプリング周波数付近において、充分な減衰特性を有するものである。

【0050】2. 第3実施形態の動作

次に、第3実施形態に係わる遅延回路の動作を図面を参照しつつ説明する。図9は、第3実施形態に係わる遅延回路のタイミングチャートである。この例における遅延回路にあっては、図9(a)に示す入力アナログ信号 V_{in} が遅延回路に供給されると、同図(h)に示す入力電流 I_i に変換される。ここで、図9(b)～(d)に示す制御信号 $\phi 1 \sim \phi n$ によって入力スイッチ $SW1 \sim SWn$ が制御され、制御信号 $\phi 1' \sim \phi n'$ によってスイッチ $SW1' \sim SWn'$ が制御されたとすると、時刻 t_1 における入力電流 I_i の値がメモリセル $M1$ に、時刻 t_2 における入力電流 I_i の値がメモリセル $M2$ 、といったように各タイミングの電流値が順次記憶されていく。なお、この例にあっては、制御信号 $\phi 1 \sim \phi n$ のパルス幅と制御信号 $\phi 1' \sim \phi n'$ のパルス幅は一致するものとして説明するが、制御信号 $\phi 1 \sim \phi n$ のパルス幅を制御信号 $\phi 1' \sim \phi n'$ のパルス幅よりも若干広く設定してもよい。

【0051】この後、図9(e)～(f)に示す制御信号 $\phi 1' \sim \phi n'$ がスイッチ $SW1' \sim SWn'$ に供給されると、これらのスイッチ $SW1' \sim SWn'$ が順次オン状態となり、各 N チャンネル $FETN1 \sim Nn$ のゲート電圧に応じた出力電流 I_o が、出力ライン L_{out} から吸い込まれる。ここで、 N チャンネル $FETN1 \sim Nn$ のゲート電圧は、コンデンサ $C1 \sim Cn$ の電圧として与えられ、各コンデンサ $C1 \sim Cn$ には、各書込期間終了時における入力電流 I_i を吸い込めるだけの電圧が記憶されている。したがって、各 N チャンネル $FETN1 \sim Nn$ は、記憶された入力電流 I_i と同じ値の出力電流 I_o を出力ライン L_{out} から吸い込む。この結果、出力電流 I_o は図9(i)に示すものとなる。この後、出力電流 I_o が電流電圧変換部80によって電圧に変換され、図9(j)に示す出力アナログ信号 V_{out} が得られる。

ナログ信号 V_{in} を電圧電流変換して、変換された電流の値を各メモリセル $M1' \sim Mn'$ に記憶し、これを読み出して出力アナログ信号 V_{out} を再生するようにしたので、メモリセル $M1' \sim Mn'$ から電流を読み出す際に、寄生容量 C_p の影響を受けることなく、正確に記憶された電流値を読み出すことができる。この結果、高品質な出力アナログ信号 V_{out} を得ることができる。

【0053】また、第2実施形態にあっては、各メモリセル $M1 \sim Mn$ から電圧を読み出す際には、コンデンサ $C1 \sim Cn$ に蓄積された電荷をコンデンサ C_s に移動させていたので、メモリセル $M1 \sim Mn$ からの読出は一回に限られたが、第3実施形態に係わる遅延回路にあっては、メモリセル $M1' \sim Mn'$ からの読出を電流の形式で行うから、複数回の読出が可能となる。

【0054】また、入力電流 I_i を各 N チャンネル $FETN1 \sim Nn$ に流せるだけの電圧が各コンデンサ $C1 \sim Cn$ に保持されるから、各コンデンサ $C1 \sim Cn$ の値にバラツキがあったとしても問題がない。また、各コンデンサ $C1 \sim Cn$ の値はごくわずかなものであってもよいので、ゲートの寄生容量で代用することもできる。この場合には、各コンデンサ $C1 \sim Cn$ を特別に作り込む必要がない。

【0055】D. 第4実施形態

第4実施形態に係わる遅延回路は、第1実施形態と第2実施形態を組み合わせたものである。以下、図面を参照しつつ、第3実施形態に係わる遅延回路について説明する。

【0056】図10は、本発明の第4実施形態に係わる遅延回路の回路図である。なお、図1、図5に示す構成と同一の構成には同一の符号を付す。この例にあっては、第1実施形態と同様に入力アナログ信号 V_{in} が奇数番目の各メモリセル $M1, M3, \dots, Mn-1$ に各々供給され、また、反転回路10によって反転された入力アナログ信号 V_{in} が偶数番目の各メモリセル $M2, M4, \dots, Mn$ に各々供給されるようになっている。したがって、入力アナログ信号 V_{in} がサンプリング周期毎に正転反転を交互に繰り返しながらメモリセル $M1 \sim Mn$ に書き込まれる。

【0057】また、奇数番目のメモリセル $M1, M3, \dots, Mn-1$ の出力側には、仮想接地されたオペアンプ40が設けられており、一方、偶数番目のメモリセル $M2, M4, \dots, Mn$ の出力側には、仮想接地されたオペアンプ40'が設けられており、この点では、第2実施形態と同様である。このため、オペアンプ40, 40'の負入力端子電圧は、常にグラウンドレベルとなるので、寄生容量 C_p, C_p' の影響を受けることなく各メモリセル $M1 \sim Mn$ から記憶された入力アナログ信号 V_{in} を読み出すことができる。なお、コンデンサ C_s, C_s' に並列に接続されたスイッチ $SW0, SW0'$ は、次のメモ

クリアするリセット手段として機能するようになっている。

【0058】次に、オペアンプ40、40'の出力側には正入力端子41aと負入力端子41bとを備えた加算回路41が設けられている。この加算回路41はオペアンプと抵抗から構成されており、正入力端子41aにはオペアンプ40の出力信号が、負入力端子41bにはオペアンプ40'の出力信号が各々供給されている。したがって、偶数番目のメモリセルM2、M4、…Mnから出力される信号は再度反転されて、奇数番目のメモリセルM1、M3、…Mn-1から出力される信号と加算され、出力アナログ信号Voutとして出力されるようになっている。また、制御回路30は、クロック信号CLKに基づいて、制御信号 $\phi 1 \sim \phi n$ 、 $\phi 1' \sim \phi n'$ 、 $\phi 0$ 、 $\phi 0'$ を生成する。また、この遅延回路の後段には、第1実施形態と同様にクロック成分を充分除去できるローパスフィルタ（図示せず）が設けられている。このローパスフィルタは、入力アナログ信号Vinの周波数帯域で平坦な周波数特性を示し、かつ、サンプリング周波数付近において、充分な減衰特性を有するものである。

【0059】したがって、この例においても、第1実施形態と同様に、メモリセルM1～Mnに低周波ノイズが混入したとしても、この低周波ノイズをサンプリング周波数付近に周波数変換することができるので、従来、分離することができなかった低周波ノイズを出力アナログ信号Voutから除去して、SN比を向上させることができる。また、第2実施形態と同様に寄生容量の影響を受けることなく、各メモリセルに蓄積されている電圧を読み出すことができる。

【0060】以上、説明したように第4実施形態によれば、第1実施形態の低周波ノイズの除去と第2実施形態の寄生容量の悪影響の回避という利点を同時に実現できるので、より高品質な出力アナログ信号を得ることができる。

【0061】E. 第5実施形態

第5実施形態に係わる遅延回路は、第1実施形態と第3実施形態を組み合わせたものである。以下、図面を参照しつつ、第5実施形態に係わる遅延回路について説明する。

【0062】図11は、本発明の第5実施形態に係わる遅延回路の回路図である。なお、図1および図8に示す構成と同一の構成には同一の符号を付す。この例にあっては、正転電圧電流変換部70によって、入力アナログ信号Vinの電圧値が電流値に変換され、正転入力電流Iiとして奇数番目の各メモリセルM1'、M3'、…Mn-1'に各々出力されるようになっている。また、反転電圧電流変換部70'によって、反転された入力アナログ信号Vinの電圧値が電流値に変換され、反転入力電

…Mn'に各々供給されるようになっている。したがって、入力アナログ信号Vinに応じた電流がサンプリング周期毎に正転反転を交互に繰り返しながらメモリセルM1'～Mn'に書き込まれる。

【0063】また、奇数番目のメモリセルM1'、M3'、…Mn-1'と偶数番目のメモリセルM2'、M4'、…Mn'の出力側には、電流電圧変換部80、80'が各々設けられており、これらによって、正転出力電流Ioと反転出力電流Io'が電流電圧変換される。なお、各メモリセルM1'～Mn'の書込・読出動作は、制御回路30によって、クロック信号CLKに基づいて生成される制御信号 $\phi 1 \sim \phi n$ 、 $\phi 1' \sim \phi n'$ 、 $\phi 1'' \sim \phi n''$ によって制御される。また、電流電圧変換部80の出力信号は加算回路41の負入力端子41bに供給され、一方、電流電圧変換部80'の出力信号はその正入力端子41aに供給されるようになっている。ここで、電流電圧変換部80'の出力信号と電流電圧変換部80の出力信号とは振幅極性が反転しているので、この加算回路41によって振幅極性を揃えつつ、両信号を合成することによって、遅延された入力アナログ信号Vinを再生することができる。また、この遅延回路の後段には、第1実施形態と同様にクロック成分を充分除去できるローパスフィルタ（図示せず）が設けられている。このローパスフィルタは、入力アナログ信号Vinの周波数帯域で平坦な周波数特性を示し、かつ、サンプリング周波数付近において、充分な減衰特性を有するものである。

【0064】したがって、この例においても、第1実施形態と同様に、メモリセルM1～Mnに低周波ノイズが混入したとしても、この低周波ノイズをサンプリング周波数付近に周波数変換することができるので、従来、分離することができなかった低周波ノイズを出力アナログ信号Voutから除去して、SN比を向上させることができる。また、第3実施形態と同様に、寄生容量の影響を受けることなく正確に電流を各メモリセルM1'～Mn'から読み出すことができ、しかも、同じメモリセルから複数回読み出すことができる。

【0065】以上、説明したように第5実施形態によれば、第1実施形態の低周波ノイズの除去と第3実施形態の寄生容量の悪影響の回避という利点を同時に実現できるので、より高品質な出力アナログ信号を得ることができる。

【0066】F. 変形例

以上、本発明に係わる実施形態を説明したが、本発明は上述した実施形態に限定されるものではなく、以下に述べる各種の変形が可能である。

①上述した各実施形態の遅延回路は、例えば、カラオケ装置におけるエコーとして利用することができる。この場合、遅延回路の出力アナログ信号Vinに係数を乗算し、この結果と入力アナログ信号を加算してこれを遅延

信号にこの遅延回路を利用してもよい。

【0067】②また、上述した各実施形態において、各メモリセルM1～Mnへの書込動作はサンプリングに相当することから、入力アナログ信号Vinの信号帯域が広いと折り返し歪みが発生してしまう。このため、折り返し歪みが発生しないようにサンプリング周期に応じたカットオフ周波数を有するローパスフィルタを前述した遅延回路の前段に設けるようにしてもよい。また、このローパスフィルタは、第3、第5実施形態の電圧電流変換部70、70'の周波数特性を適宜設定することによ

って実現してもよい。

【0068】③また、上述した第1、第3、第5実施形態において、各メモリセルからの読出動作を1サンプリング期間内で時分割で動作させることによって、サンプリング周期毎に複数の遅延された信号を再生するようにしてもよい。この場合、再生された各信号は、遅延時間が異なるのでトランスバースルフィルタのタップ出力に相当するから、再生された各信号を適当な比率で加算することによって、トランスバースルフィルタを実現することもできる。

【0069】④また、上述した第4、第5実施形態にあつては、加算回路41によって、出力アナログ信号Voutを合成するようにしたが、これをサンプルホールド回路によって合成するようにしてもよい。

【0070】⑤また、上述した第1、第2、第4実施形態においてコンデンサC1～Cnの一端は接地されていたが、これを電源に接続するようにしてもよい。要は、一定電圧のラインに接続するのであればよい。

【0071】⑥また、上述した第3、第5実施形態においてメモリセルM1'～Mn'は、一端が接地されたコンデンサC1～CnやNチャンネルFETN1～Nn等から構成されていたが、本発明はこれに限定されるものではなく、コンデンサC1～Cnの一端を電源と接続し、NチャンネルFETの代わりにPチャンネルFETを用いるものであつてもよい。また、上述した第5実施形態において、正転電圧電流変換部70と反転電圧電流変換部70'とは図12示すように一体の回路として構成するようにしてもよい。

【0072】

【発明の効果】 上述したように本発明に係る発明特定事項によれば、各メモリセルに低周波ノイズが混入しても、このノイズ成分を高域周波数領域にシフトさせることができるので、ノイズ成分を除去可能な出力信号を生成することができる。また、寄生容量の影響を受けることなくメモリセルから読出を行うことができるので出力信号の品質を改善することができる。

【図面の簡単な説明】

【図1】 本発明の第1実施形態に係わる遅延回路の回路図である。

【図2】 同実施形態に係わる遅延回路の動作を示すタイミングチャートである。

【図3】 同実施形態に係わる低周波ノイズの除去動作を示すタイミングチャートである。

【図4】 同実施形態に係わる低周波ノイズの除去動作を示すタイミングチャートである。

【図5】 本発明の第2実施形態に係わる遅延回路の回路図である。

【図6】 同実施形態に係わる遅延回路の動作を示すタイミングチャートである。

【図7】 同実施形態に係わるメモリセルからの読出動作を示すタイミングチャートである。

【図8】 本発明の第3実施形態に係わる遅延回路の回路図である。

【図9】 同実施形態に係わる遅延回路の動作を示すタイミングチャートである。

【図10】 本発明の第4実施形態に係わる遅延回路の回路図である。

【図11】 本発明の第5実施形態に係わる遅延回路の回路図である。

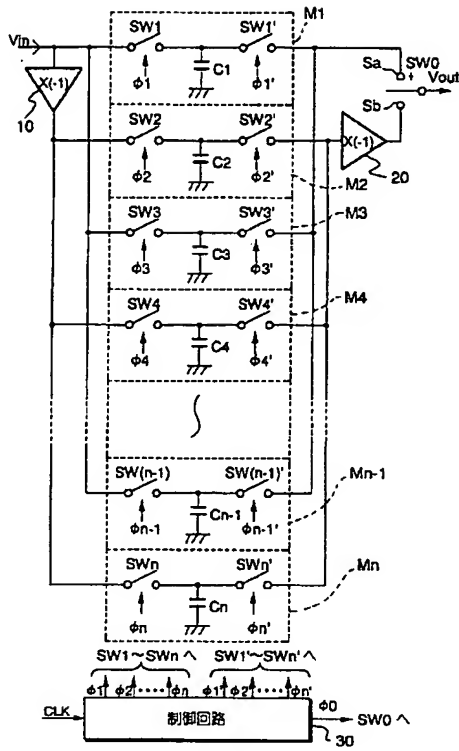
【図12】 変形例に係わる正転電圧電流変換部と反転電圧電流変換部の回路図である。

【図13】 従来の遅延回路の回路図である。

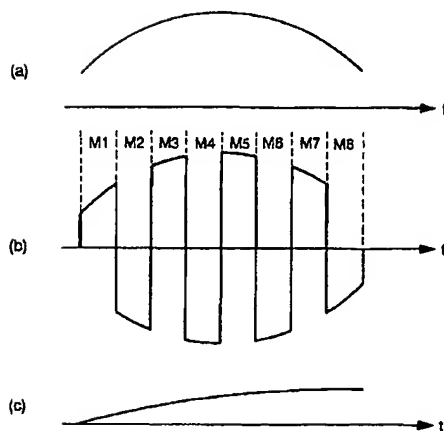
【符号の説明】

10…反転回路（第1の反転手段、反転手段）、20…反転回路（第2の反転手段）、30…制御回路（書込手段、読出手段）、40…オペアンプ（負帰還増幅手段、第1の負帰還増幅手段）、40'…オペアンプ（第2の負帰還増幅手段）、41…加算回路（合成手段）、70…電圧電流変換部（電圧電流変換手段、正転電圧電流変換手段）、80…電流電圧変換部（電流電圧変換手段、反転電流電圧変換手段）、Vin…入力アナログ信号（入力信号、入力電圧信号）、Vout…出力アナログ信号（出力信号、出力電圧信号）、Ii…入力電流（入力電流信号）、M1～Mn、M1'～Mn'…メモリセル、SW1～SWn…入力スイッチ（第1のスイッチ手段）、SW1'～SWn'…出力スイッチ（第2のスイッチ手段）、SW1''～SWn''…スイッチ（第3のスイッチ手段）、SW0…スイッチ（合成手段、リセット手段、第1のリセット手段）、SW0'…スイッチ（第2のリセット手段）、C1～Cn…コンデンサ、Cs…コンデンサ（フィードバックコンデンサ）。

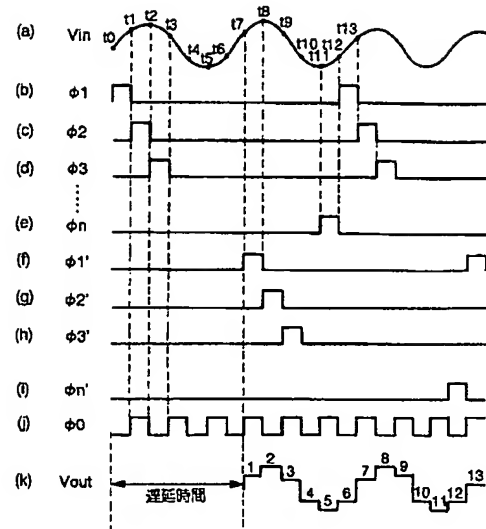
【図1】



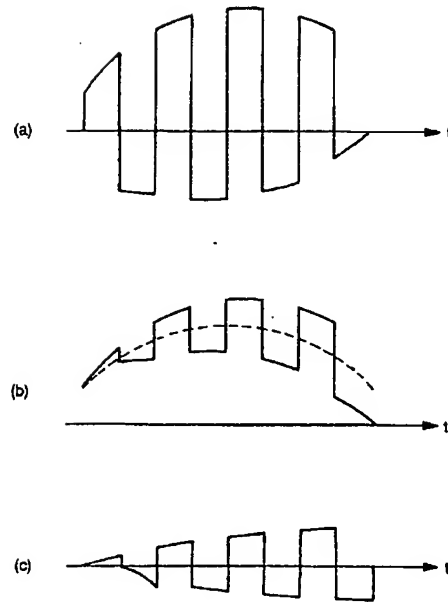
【図3】



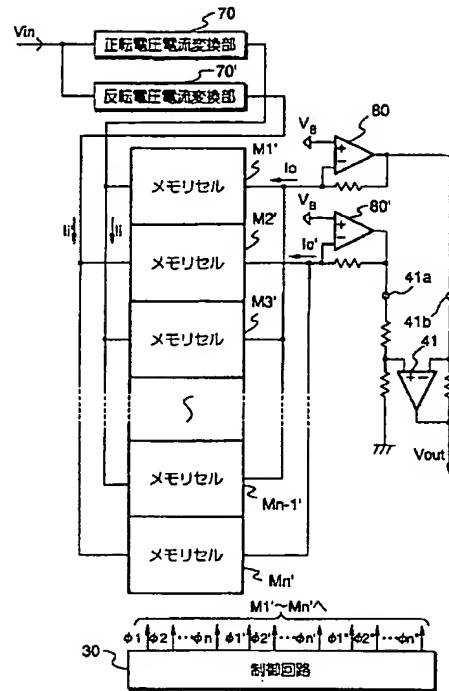
【図2】



【図4】



【図11】



【図12】

